

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

008015630

WPI Acc No: 1989-280742/198939

XRAM Acc No: C89-124140

XRPX Acc No: N89-214310

Active matrix panel for liq. crystal display units - comprises thin film
type transistors disposed at cross pts of data and scan lines

Patent Assignee: EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1130133	A	19890523	JP 87288652	A	19871116	198939 B

Priority Applications (No Type Date): JP 87288652 A 19871116

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1130133	A		5		

Abstract (Basic): JP 1130133 A

Active matrix panel comprises 1 thin-film type transistors disposed
at the cross pts. of data lines and scan lines, the gate electrodes of
the transistors being connected to the adjacent two scan lines.

USE - For liq. crystal display units. 1/3

Title Terms: ACTIVE; MATRIX; PANEL; LIQUID; CRYSTAL; DISPLAY; UNIT;
COMPRISE; THIN; FILM; TYPE; TRANSISTOR; DISPOSABLE; CROSS; DATA; SCAN;
LINE

Index Terms/Additional Words: LCD

Derwent Class: L03; P81; U14

International Patent Class (Additional): G02F-001/13

File Segment: CPI; EPI; EngPI

⑫ 公開特許公報(A)

平1-130133

⑤ Int.Cl.

G 02 F 1/133

識別記号

3 2 7

庁内整理番号

7370-2H

⑬ 公開 平成1年(1989)5月23日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑮ 特 願 昭62-288652

⑯ 出 願 昭62(1987)11月16日

⑰ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

ドライバー内蔵アクティブマトリクスパネル

2. 特許請求の範囲

(I) 絶縁基板上に、複数のデータ線群、走査線群、及び前記データ線及び走査線の少なくとも一方を駆動するためのドライバーを備え、前記データ線、及び走査線の交点に設けられた薄膜トランジスタ(以下TFTと略記)アレイによって画素

アクティブマトリクスパネルにおいて、 $2N$ 本の走査線と M 本の信号線、及び $M \times N$ 個の画素電極と各画素電極の1つにドレイン電極が共通に接続された2つのTFTを備え、前記2つのTFTのゲート電極は隣接する2本の走査線に接続され、前記2つのTFTのソース電極は共通のまたは隣接する信号線に接続され、奇数行目の走査線と偶数行目の走査線をそれぞれ独立に駆動できる内蔵

ドライバーを備えていることを特徴とする、ドライバー内蔵アクティブマトリクスパネル。

(II) 前記画素TFT及び内蔵ドライバーを構成するTFTはポリシリコン薄膜を用いた形成されることを特徴とする特許請求の範囲第1項記載のドライバー内蔵アクティブマトリクスパネル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はドライバー内蔵アクティブマトリクスパネルの構成に関する。

パネルの例としては、「SID(エス・アイ・ディー) 84グイジュストP. 316両角他」がある。第2図はその回路図の例である。21は画素エリア、22はXドライバー、24はYドライバーである。画素エリア21は、信号線 X_1, \dots, X_N と走査線 Y_1, \dots, Y_N 、及びそれらの交点に配置された画素TFT30とから成る。

画素TFT30には画素電極が形成され、対向電極V_{cc}との間に容量31が存在する。32は信号線と対向電極間の容量である。Xドライバー22は、シフトレジスタ28とアナログスイッチTFT28とから成る。V1Dは画素信号入力端子、CL_x、CL_yはクロック信号、DY_x、DY_yはドライバーの動作入力信号の端子である。

(発明が解決しようとする問題点)

しかし、前述の従来技術では以下に述べるような問題点を有する。すなわち、アクティブマトリクスパネルは、大面積に数万〜数百万個もの駆動素子を作製する必要があり、無欠陥のパネルを作るのは本質的に極めて難しいという点である。特に、画面サイズの大形化、画面の高精細化に伴ない歩留まりは一層低下する。

一方、アクティブマトリクスパネルをキャラクタなどのデータ表示に用いる場合、無欠陥であることはもちろん、すべての画素が与えられた信号に対して忠実な階調表示をする必要がある。このようなパネルを従来技術で作製するのはほとんど

不可能である。

本発明はこのような問題点を解決するものであり、その目的とするところは、データ表示に適した無欠陥のアクティブマトリクスパネルを、ドライバーを内蔵し低コストで高い歩留まりで作製できるようにするところにある。

(問題点を解決するための手段)

本発明のドライバー内蔵アクティブマトリクスパネルは以下の構成を有することを特徴とする。

2N本の走査線とM本の信号線、及びM×N個の画素電極と、各画素電極の1つにドレイン電極が共通に接続された2つのTFTを知え、前記2つのTFTのゲート電極は隣接する2本の走査線に接続され、ソース電極は共通のまたは隣接する信号線に接続され、奇数行目の走査線と偶数行目の走査線をそれぞれ独立に駆動できる内蔵ドライバーを備えている。

(作用)

本発明の上記の構成を用いたドライバー内蔵アクティブマトリクスパネルは、画素TFTと走査

線に冗長性を持たせてあり、各画素の2つのTFTのうちどちらかが正常であれば正規の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に画素に不良TFTのアドレスを検出することができる。

(実施例)

第1図は、本発明の第1の実施例を示すドライバー内蔵アクティブマトリクスパネルの回路図の

パネルは、画素エリア1とXドライバー2、及びYドライバー4、5とから成っている。本実施例においては走査線と画素TFTに冗長性があり、画素エリア1は、M本の信号線と2N本の走査線及びM×N個の画素電極と、各画素電極の1つにドレイン電極が共通に接続された2つの画素TFT10とから成り、この画素TFTのゲート電極は隣接する2本の走査線に、ソース電極は共通の信号線に接続されている。11は画素電極と対向電極V_{cc}との間の液晶の容量であり、12は

信号線とV_{cc}との間の液晶の容量である。信号線の保持特性を改善するため、これらの容量に並列に容量を付加することもある。信号線X₁、X₂、X₃は全てXドライバー2で駆動する。Xドライバー2はシフトレジスタ8とアナログスイッチTFTアレイ8とから成る。このアナログスイッチのかわりにラッチ回路を設けて複重次ドライバーとすることもできる。CL_xはシフトレジスタ8のクロック入力端子、D_xはシフトレジスタ8の出力端子である。CL_yはシフトレジスタ9のクロック入力端子、D_yはシフトレジスタ9の出力端子である。Y_{1a}は左側のYドライバー4で、偶数列目の走査線Y_{1b}、Y_{2b}、Y_{3b}は右側のYドライバー5でそれぞれ駆動する。Yドライバーはシフトレジスタであり、CL_ya、CL_ybはクロック信号、DY_a、DY_bはスタート信号の入力端子である。

本実施例においては1つの画素に2つのTFTを備えているため、どちらか一方のTFTが不良であっても他のTFTが正常であれば、不良TFT

Tをレーザトリミング等を用いて切断して修正できる。修正した画素には正規の信号が与えられるため、本実施例ではキャラクタなどのデータ表示にも対応できる無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。一方、不良部分のアドレスを検出する場合、本実施例においては走査線に冗長性を有しかつ奇数段目と偶数段目の信号線を独立に駆動できるため、電気的あるいは光学的に簡単に検出できる。以下、その具体的な方法について説明する。

第1の方法は電気的に検出する方法である。一般にTFTの不良にはショートとオープンとの2つのモードがあるが、後者については特に修正する必要はないので、前者の検出方法について述べる。第3図(a)はTFTのゲート・ソース間及びゲート・ドレイン間のショートを検出する方法を示している。この図のように走査線を1本ずつ順次選択し、画素信号入力端子VIDに電圧計を接続して、信号線を順次選択していけばショートしているアドレスを簡単に求めることができる。

この検査では不良画素のアドレスを求めることはできても、どちらのTFTが不良かを判別することはできないため、外観検査の必要がある。通常は、ソース・ドレイン間のショートに平面的なパターン不良が主な原因であるから外観検査で対応がつく。

第2の方法は光学的に検出する方法である。この検査は液晶を封入した後行なう。この方法は同

た場合を甲、Yドライバーのみを使って画像を表示した場合を乙とすると、甲と乙を比較して不良TFTのアドレスを求めるという方法である。

アクティブマトリクスパネル基板の断面図を第4図に示す。40は絶縁基板、41はゲート電極、42はゲート絶縁膜、43はチャネル部、44、45はそれぞれソース・ドレイン電極、46は絶縁絶縁膜、47は信号線、48は画素電極である。内蔵ドライバーを構成するTFTも同じ構造で、画素TFTと同時に作製する。

(発明の効果)

なお、全アドレスについてこの測定を行なうのはかなり時間を要するため、まず全ての走査線と信号線を同時に選択し、もしリーク電流が検出されれば、走査線を1本ずつ順次選択し、リーク電流が再び検出された走査線でYドライバーの動作を止め、信号線を1本ずつ選択しアドレスを求めるといった方法が効率的である。第3図(b)はTFTのソース・ドレイン間のショートを検出する方法で、2つのTFTの書き込みと保持の特性が正常であるか否かを調べることができる。まず、VIDに適切な電位を与え、走査線Yn2を選択し上側のTFTを用いた画素に電荷を与える。次にYn2を非選択とし、一定時間後にVIDに電圧計を接続し、走査線Ynbを選択し、下側のTFTを用いて画素に保持されている電荷を取り出す。たとえば画素容量11が信号線Xmの配線容量12の1/10であれば電圧計には最初に与えた電圧の1/10程度の電圧が検出される。もし、TFTのソース・ドレイン間のショート等の不良があれば、この電圧はゼロとなる。ただし、

以上述べたように、本発明のドライバー内蔵アクティブマトリクスパネルは、画素TFTと走査線に冗長性を付与してあり、各画素の2つのTFTのうち、どちらかが正常であれば正規の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に不良TFTのアドレスを求めることができる。従って、

表示に用いた無欠陥のアクティブマトリクスパネルを高い歩留まりで作製できる。特に高解像度パネルにおいては、通常のプローブカード等を用いた検査方法ではこのような検査は不可能だが、本発明によればドライバーの動作が可能な限り非常に高解像度のパネルにも対応できる。しかも検査に要する時間も短く済み、コストアップにはならない。また、ドライバー内蔵であるからパネルは小型軽量で製造コストも安い。

4. 図面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

第2図は従来のドライバー内蔵アクティブマトリクスパネルの回路図。

第3図(a)、(b)は不良部分の検出方法を示す図。

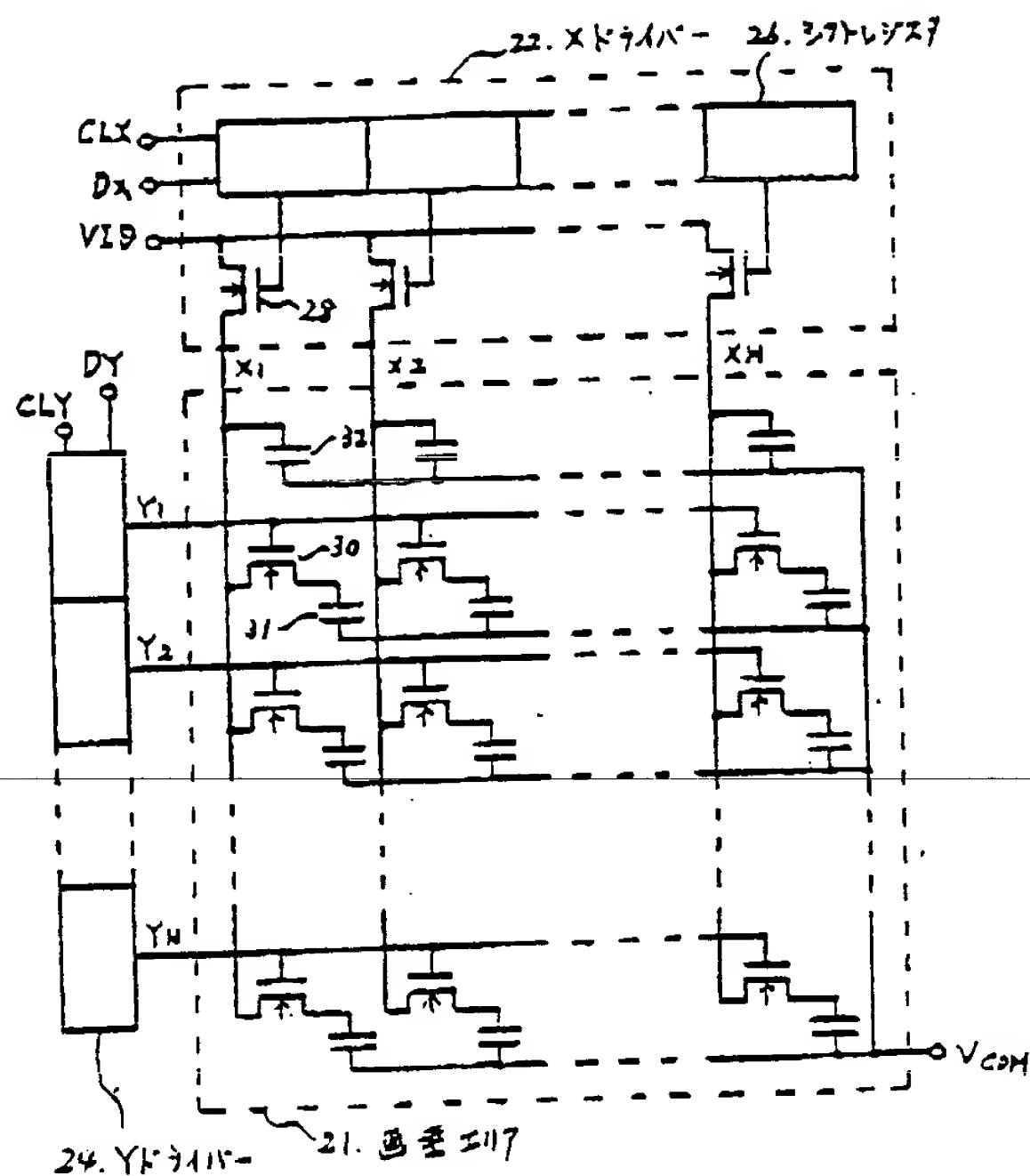
第4図はアクティブマトリクス基板の断面図。

- 1、21…画素エリア
- 2、22…Xドライバー
- 4、5、24…Yドライバー
- 6、28…シフトレジスタ
- 8、28…アナログスイッチTFT
- 10、30…画素TFT

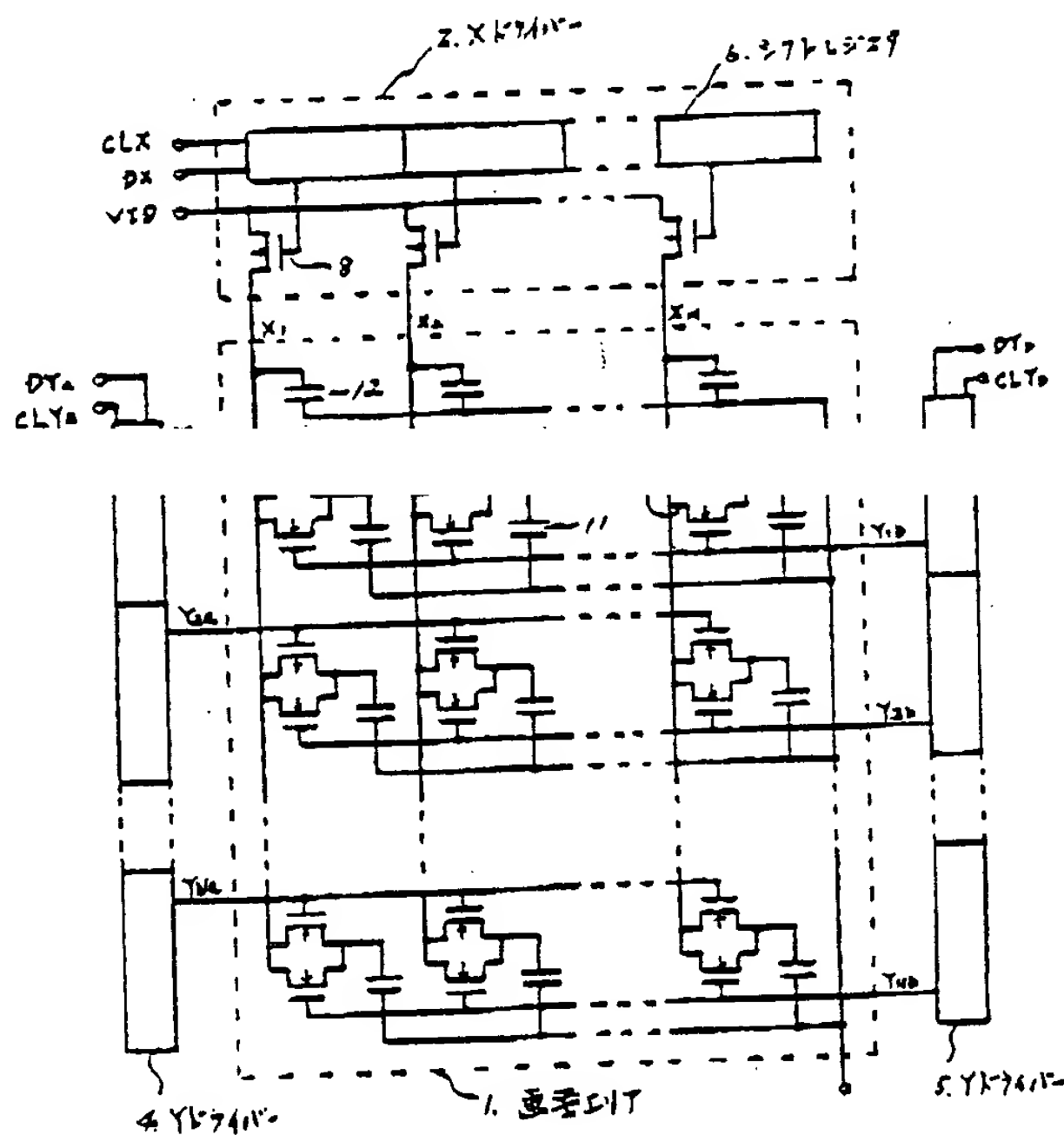
以上

出願人 セイコーエプソン株式会社

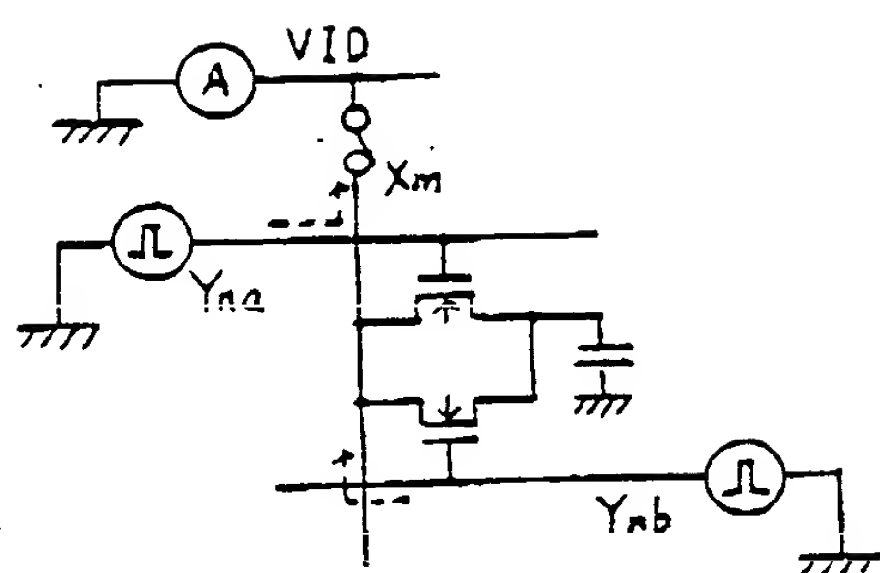
代理人 弁理士 殿上 研 他1名



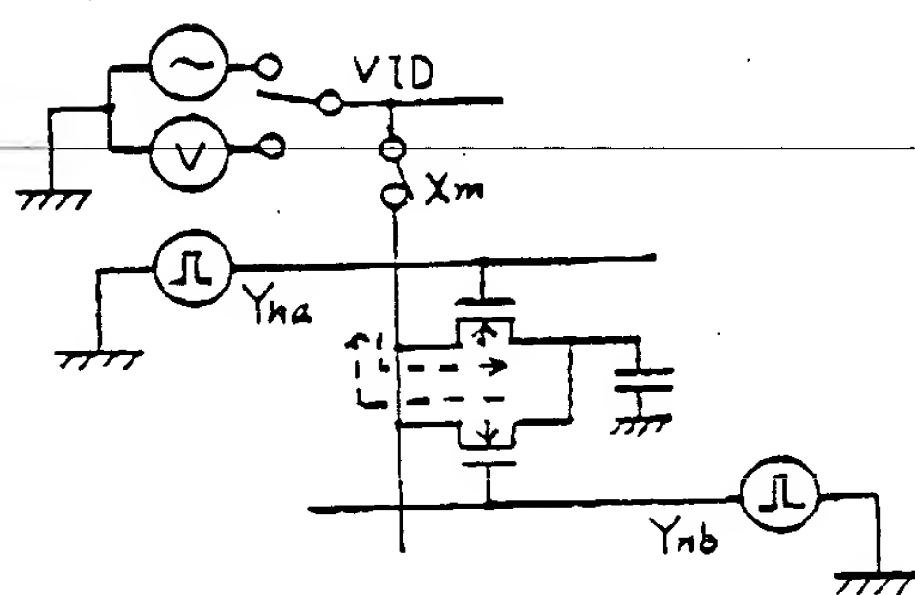
第2図



第1図

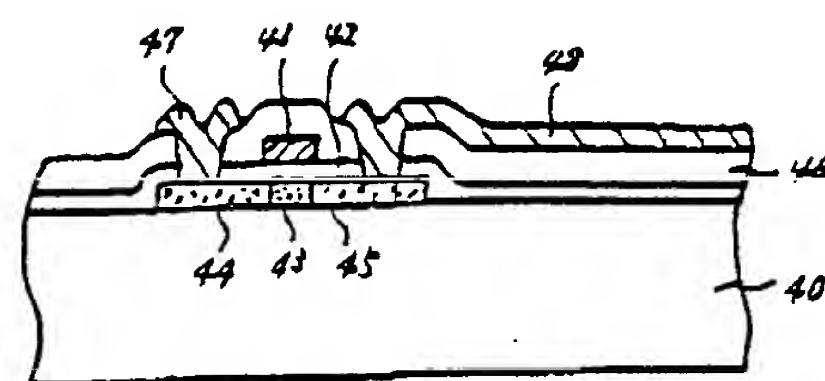


(a)



(b)

第3図



- 40 --- 絶縁基板
- 41 --- Y-ト
- 42 --- Y-ト絶縁膜
- 43 --- 加ネル
- 44 --- ソース
- 45 --- ドレイン
- 46 --- 層間絶縁膜
- 47 --- 信号線
- 48 --- 画素電極

第4図